

30. 3. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

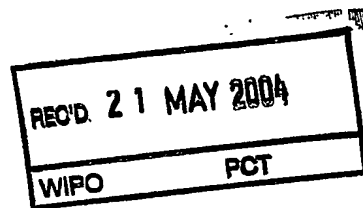
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 4 3 7 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 9 4 3 7 2]

出 願 人 宇 部 興 産 株 式 有 限 公 司
Applicant(s):



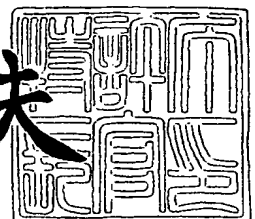
BEST AVAILABLE COPY

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 4 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 MIP0336KN1

【あて先】 特許庁長官殿

【国際特許分類】 H03H 09/15

【発明者】

 【住所又は居所】 山口県宇部市大字小串 1 9 7 8 番地の 5 宇部興産株式
 会社 宇部研究所内

 【氏名】 長尾 圭吾

【発明者】

 【住所又は居所】 山口県宇部市大字小串 1 9 7 8 番地の 5 宇部興産株式
 会社 宇部研究所内

 【氏名】 西村 浩介

【発明者】

 【住所又は居所】 山口県宇部市大字小串 1 9 7 8 番地の 5 宇部興産株式
 会社 宇部研究所内

 【氏名】 山田 哲夫

【特許出願人】

 【識別番号】 000000206

 【氏名又は名称】 宇部興産株式会社

 【代表者】 常見 和正

【手数料の表示】

 【予納台帳番号】 012254

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 圧電薄膜デバイスの製造方法および圧電薄膜デバイス

【特許請求の範囲】

【請求項 1】 振動用空間を有する基板と、該基板上面に形成された圧電積層構造体とを有しており、該圧電積層構造体は、圧電体膜とその両面にそれぞれ形成された電極とを含み、前記振動用空間は前記圧電積層構造体の振動を許容するように形成されている圧電薄膜デバイスの製造方法であり、前記振動用空間が、前記基板内に中間面を形成するように基板下面から第 1 のビアホールを形成する工程と、前記中間面から前記基板の上面に向けてさらに第 2 のビアホールを形成する工程とにより形成されることを特徴とする圧電薄膜デバイスの製造方法。

【請求項 2】 前記基板上に前記圧電積層構造体が複数存在し、前記第 1 のビアホールを複数の前記圧電積層構造体の振動用空間を共有するように形成し、さらに、前記中間面から前記各圧電積層構造体に対応して複数の第 2 のビアホールを形成することを特徴とする請求項 1 記載の圧電薄膜デバイスの製造方法。

【請求項 3】 前記基板として、SOI (Silicon on Insulator) ウエハを使用することを特徴とする請求項 1 または 2 記載の圧電薄膜デバイスの製造方法。

【請求項 4】 前記第 2 のビアホールの形成方法として、Deep RIE (深掘り型反応性イオンエッチング) 法を用いることを特徴とする請求項 1 または 2 記載の圧電薄膜デバイスの製造方法。

【請求項 5】 振動用空間を有する基板と、該基板上面に形成された圧電積層構造体とを有しており、該圧電積層構造体は、圧電体膜とその両面にそれぞれ形成された電極とを含み、前記振動用空間は前記圧電積層構造体の振動を許容するように形成されている圧電薄膜デバイスであって、前記振動用空間が、前記基板内に中間面を形成するように基板下面から形成された第 1 のビアホールと、前記中間面から前記基板の上面に向けてさらに第 2 ビアホールが形成されていることを特徴とする圧電薄膜デバイス。

【請求項 6】 前記基板上に前記圧電積層構造体が複数存在し、前記第 1 のビアホールが複数の前記圧電積層構造体の振動用空間を共有するように形成され

ており、さらに、前記中間面から前記各圧電積層構造体に対応して複数の第2のビアホールが形成されていることを特徴とする請求項5記載の圧電薄膜デバイス。

【請求項7】 前記第2のビアホールの深さが10～200 μ mであることを特徴とする請求項5または6記載の圧電薄膜デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、圧電体膜を利用した圧電薄膜共振器を単独または複数個組み合わせることにより作製される圧電薄膜デバイスの製造方法に関するものであり、更に詳細に記せば、通信機用フィルタに使用される圧電薄膜デバイスの製造方法およびそれによって製造された圧電薄膜デバイスに関する。

【0002】

【従来の技術】

圧電現象を応用したデバイスは広範な分野で用いられている。携帯機器の小型化と省力化が進む中で、RF用およびIF用フィルタとして弾性表面波（Surface Acoustic Wave：SAW）デバイスの使用が拡大している。SAWフィルタは設計および生産技術の向上によりユーザーの厳しい要求仕様に対応してきたが、利用周波数の高周波数化と共に特性向上の限界に近づき、電極形成の微細化と安定した出力確保の両面で大きな技術革新が必要となってきた。

【0003】

一方、圧電体薄膜の厚み振動を利用した薄膜バルク波共振器（Thin Film Bulk Acoustic Resonator：以下FBAR）、積層型薄膜バルク波共振器およびフィルタ（Stacked Thin Film Bulk Acoustic Resonators and Filters：以下SBAR）は、基板に設けられた薄い支持膜の上に、主として圧電体より成る薄膜と、これを駆動する電極を形成したものであり、ギガヘルツ帯での基本共振が可能である。FBARまたはSBARでフィルタを構成すれば、著しく

小型化でき、かつ低損失・広帯域動作が可能な上に、半導体集積回路と一体化することができるので、将来の超小型携帯機器への応用が期待されている。

【0004】

このような弾性波を利用した共振器、フィルタ等に応用されるFBAR、SBARなどの圧電薄膜共振器は、以下のようにして製造される。

【0005】

シリコンなどの半導体単結晶、シリコンウエハ上に形成された多結晶ダイヤモンド、エリンバーなどの恒弾性金属などの基板の上に、種々の薄膜形成方法によって、誘電体薄膜、導電体薄膜、またはこれらを積層した下地膜を形成する。この下地膜上に圧電体薄膜を形成し、さらに必要に応じた上部構造を形成する。各層の形成後に、または全層を形成した後に、各々の膜に物理的処理または化学的処理を施すことにより、微細加工、パターンニングを行う。次に、湿式法に基づく異方性エッチングにより基板から振動部の下に位置する部分を除去した浮き構造を作製した後、最後に1デバイス単位に分離することにより圧電薄膜共振器を得る。

【0006】

例えば、従来知られている圧電薄膜共振器は、基板の上面に下地膜、下部電極、圧電体薄膜および上部電極を形成した後に、基板の下面側から振動部となる部分の下にある基板部分を除去して、ビアホールを形成することにより製造されている（例えば、特許文献1および2参照）。基板がシリコンからなるものであれば、加熱KOH水溶液を使用してシリコン基板の一部を裏面からエッチングして取り去ることにより、ビアホールを形成する。これにより、シリコン基板の上面側において、圧電体膜が複数の金属電極の間に挟み込まれた構造体の縁部をビアホールの周囲の部分で支持した形態を有する共振器を作製できる。

【0007】

しかしながら、KOHなどのアルカリを使用したウエットエッチングを行うと、(111)面に平行にエッチングが進行するため、(100)シリコン基板表面に対して54.7度の傾斜でエッチングが進行し、隣り合う共振器の間の距離を著しく遠くにしなければならない。例えば、厚さ550 μ mのシリコンウエハ

の上に構成された約 $150\mu\text{m}\times 150\mu\text{m}$ の平面寸法を有するデバイスは、約 $930\mu\text{m}\times 930\mu\text{m}$ の裏面側エッチング孔を必要とし、隣り合う共振器の中心間距離は $930\mu\text{m}$ 以上になってしまう。このことは、FBAR共振器の集積化を妨げるばかりでなく、隣り合う圧電薄膜共振器を接続する金属電極が長くなり、その電気抵抗が大きくなるために、圧電薄膜共振器を複数個組み合わせて作製される圧電薄膜デバイスの挿入損失が著しく大きくなるという問題がある。また、開口部 $930\mu\text{m}$ というような大きなビアホールは破損しやすいばかりでなく、最終製品の取得量、即ち、基板上の圧電薄膜デバイスの歩留まりも制限を受け、基板の約 $1/15$ の領域をデバイス生産に利用できるだけとなる。一方、複数の共振器にまたがるような大きなビアホールを形成することも考えられるが、ビアホールはますます大きくなり、デバイスの強度が著しく低下して、更に破損しやすくなる。

【0008】

圧電薄膜デバイスに応用されるFBAR、SBARなどの圧電薄膜共振器を製造する従来技術の第2の方法は、空気ブリッジ式FBARデバイスを作ることである（例えば、特許文献3参照）。通常、最初に犠牲層（Sacrificial layer）を設置し、次にこの犠牲層の上に圧電薄膜共振器を製作する。プロセスの終わりまたは終わり近くに、犠牲層を除去して、振動部を形成する。処理はすべて基板上面側で行なわれるから、この方法は、基板両面におけるパターンの整列および大面積の基板下面側開口部を必要としない。犠牲層として燐石英ガラス（PSG）を使用した空気ブリッジ式のFBAR/SBARデバイスの構成と製造方法も開示されている（例えば特許文献4参照）。

【0009】

しかしながら、この方法においては、エッチングによる基板上面への空洞形成、熱CVD（Chemical Vapor Deposition）法による基板上面側への犠牲層の堆積、CMP（Chemical Mechanical Polishing）研磨による基板上面の平坦化および平滑化、犠牲層上への下部電極、圧電体および上部電極の堆積とパターン形成という一連の工程の後に、空洞まで貫通するビア（穴）を開け、基板上面側に形成した圧電積層構造

体をレジスト等で保護して、ビアを通してエッチング液を浸透させることにより犠牲層を空洞から除去する、という長くて複雑な工程を必要とし、パターン形成に使用するマスク数も大幅に増加する。製造工程が長くて複雑になると、それ自体、デバイスの高コスト化をもたらすと共に、製品の歩留りが低下して、更にデバイスを高コストなものにしてしまう。このような高価なデバイスを移動体通信機用の汎用部品として普及させることは困難である。また、燐石英ガラス（PSG）などの犠牲層を除去するために使用するエッチング液が、圧電積層構造体を形成する下部電極、圧電体および上部電極の各層を浸食してしまうので、前記の上部構造に使用できる材料が著しく限定されるばかりでなく、所望の寸法精度を有するFBARまたはSBAR構造を作製することが難しいという深刻な問題がある。

【0010】

本発明者らは、上記の基板下面側から異方性エッチングで振動用空間を形成する方式と、基板上面側のみで空気ブリッジを形成する方式の種々の問題点を解決するために、基板下面側からDeep RIE（深掘り型反応性イオンエッチング）法を用いて、基板面に対して垂直な側壁を有するビアホールを形成することにより振動用空間を形成する方式の圧電薄膜デバイスを発明している。本方式は、ビアホールの側壁が垂直であるため、隣り合う圧電薄膜共振器を空気ブリッジ方式と同程度まで近づけることができるにもかかわらず、空気ブリッジ方式のような複雑な工程を一切必要としない。しかしながら、Deep RIE法による基板のエッチング加工は、基板内で若干のエッチング速度分布があり、製造工程でハンドリング可能な基板厚みにおいて基板内での共振周波数の安定性が十分でないといった問題があった。

【0011】

【特許文献1】

特開昭58-153412号公報

【特許文献2】

特開昭60-142607号公報

【特許文献3】

特開平 2-13109 号公報

【特許文献 4】

特開 2000-69594 号公報

【0012】

【発明が解決しようとする課題】

FBAR および SBAR は薄膜中における厚み方向の弾性波の伝播によって共振を得ているため、基板上の絶縁層、下部電極、圧電体薄膜、上部電極などから構成される圧電積層構造体の膜厚均一性はもとより、振動用空間の形成の精度により、特性は大きく影響される。このため、基板内で、特性の均一な圧電薄膜デバイスを得ることが著しく困難になっている。

【0013】

このような理由により、ギガヘルツ帯域で十分な性能を発揮する圧電薄膜デバイスは、未だ得られていない。したがって、工程が単純で、基板上の位置によらず特性が安定した圧電薄膜デバイスの製造方法の確立と、それによって製造された特性の安定した圧電薄膜デバイスの実現が強く望まれている。

【0014】

本発明は、上記問題点を鑑みてなされたもので、本発明の目的は、工程が単純で、基板上の位置によらず、圧電薄膜積層体の下方に良好に振動用空間を形成することができる圧電薄膜デバイスの製造方法、及びこの方法により製造された圧電薄膜デバイスを提供することである。

【0015】

【課題を解決するための手段】

本発明によれば、以上のごとき目的を達成するものとして、振動用空間の形成方法について鋭意検討した結果、基板下面側より第 1 のビアホールを形成し、そのビアホールの中間面を基準として第 2 のビアホールを形成することにより振動用空間を形成することが、圧電薄膜デバイスの特性の安定化と低コスト化の両面で最も好ましい解決手段であることを見出した。

【0016】

即ち、本発明によれば、上記の目的を達成するものとして、

振動用空間を有する基板と、該基板上面に形成された圧電積層構造体とを有しており、該圧電積層構造体は、圧電体膜とその両面にそれぞれ形成された電極とを含み、前記振動用空間は前記圧電積層構造体の振動を許容するように形成されている圧電薄膜デバイスの製造方法であり、前記振動用空間が、前記基板内に中間面を形成するように基板下面から第1のビアホールを形成する工程と、前記中間面から前記基板の上面に向けてさらに第2のビアホールを形成する工程とにより形成されることを特徴とする圧電薄膜デバイスの製造方法、が提供される。

【0017】

さらには、前記基板上に前記圧電積層構造体が複数存在し、前記第1のビアホールを複数の前記圧電積層構造体の振動用空間を共有するように形成し、さらに、前記中間面から前記各圧電積層構造体に対応して複数の第2のビアホールを形成することを特徴とする圧電薄膜デバイスの製造方法、が提供される。

【0018】

さらに、本発明の一態様においては、前記基板として、SOI (Silicon on Insulator) ウエハを使用することを特徴とする圧電薄膜デバイスの製造方法、が提供される。

【0019】

さらに、本発明の一態様においては、前記第2のビアホールの形成方法として、Deep RIE (深掘り型反応性イオンエッチング) 法を用いることを特徴とする請求項1または2記載の圧電薄膜デバイスの製造方法、が提供される。

【0020】

さらに、本発明においては、振動用空間を有する基板と、該基板上面に形成された圧電積層構造体とを有しており、該圧電積層構造体は、圧電体膜とその両面にそれぞれ形成された電極とを含み、前記振動用空間は前記圧電積層構造体の振動を許容するように形成されている圧電薄膜デバイスであって、前記振動用空間が、前記基板内に中間面を形成するように基板下面から形成された第1のビアホールと、前記中間面から前記基板の上面に向けてさらに第2ビアホールが形成されていることを特徴とする圧電薄膜デバイス、が提供される。

【0021】

さらに、本発明においては、前記基板上に前記圧電積層構造体が複数存在し、前記第1のビアホールが複数の前記圧電積層構造体の振動用空間を共有するように形成されており、さらに、前記中間面から前記各圧電積層構造体に対応して複数の第2のビアホールが形成されていることを特徴とする圧電薄膜デバイス、が提供される。

【0022】

さらに、本発明の一態様においては、前記第2のビアホールの深さが10～200 μm であることを特徴とする圧電薄膜デバイス、が提供される。

【0023】

以上のように、本発明によれば、工程が単純で、基板上的位置によらず特性が均一な圧電薄膜デバイスの製造方法と、この製造方法によって製造された特性が著しく安定化した圧電薄膜デバイスが提供される。

【0024】

【発明の実施の形態】

以下に、本発明の実施の形態について詳細に説明する。

【0025】

図1は本発明による圧電薄膜デバイス（圧電薄膜共振器10）の実施形態を示す模式的平面図であり、図2はそのX-X断面図である。これらの図において、圧電薄膜共振器10は基板12、該基板12の上面に形成された絶縁体層13および該絶縁体層13の上に形成された圧電積層構造体14を有する。圧電積層構造体14は絶縁体層13の上に形成された下部電極15、該下部電極15の一部を覆うようにして絶縁体層13の上に形成された圧電体膜16および該圧電体膜16の上に形成された上部電極17からなる。基板12には、振動用空間20を形成するための第1のビアホール21が形成されている。さらに、第1のビアホール21の底面にあたる中間面25から圧電積層構造体14に向け第2のビアホール22を形成することにより振動用空間20を形成している。絶縁体層13の一部は振動用空間20に向けて露出している。この絶縁体層13の露出部分、およびこれに対応する圧電積層構造体14の部分が振動部（振動ダイヤフラム）23を構成する。なお、基板の上面に圧電積層構造体を形成するとは、図2の例に

示すように、基板の上面に他の層（図2の場合、絶縁体層）形成し、その層を介して圧電構造積層体を形成してもよいし、あるいは、基板の表面層を処理して基板内に他の層（例えば、絶縁体層）を形成し、その上に圧電積層構造体を形成する場合のように、基板の上面に直接圧電積層構造体を形成する場合も含む。また、基板と圧電積層構造体の間に他の層が入る場合も、一層に限定されず、また絶縁層に限定されない。

【0026】

基板12としては、Si(100)単結晶などの単結晶、またはSi単結晶などの基材の表面にシリコン、ダイヤモンドその他の多結晶膜を形成したものをを用いることができる。また、その他の半導体さらには絶縁体を用いることも可能である。

【0027】

絶縁体層13としては、例えば酸化シリコン(SiO₂)を主成分とする誘電体膜、窒化シリコン(SiN_x)を主成分とする誘電体膜、および酸化シリコンを主成分とする誘電体膜と窒化シリコンを主成分とする誘電体膜の積層膜を用いることができる。この絶縁体層13の材質について、主成分とは、誘電体膜中の含有量が50当量%以上である成分を指す。誘電体膜は単相からなるものであってもよいし、密着性を高めるための層などを付加した複数層からなるものであってもよい。絶縁体層13の厚さは、例えば厚さ2.0μm未満である。絶縁体層13の形成方法としては、基板12の表面の熱酸化法やCVD(Chemical Vapor Deposition)法が例示される。また、本発明においては、エッチングにより、振動部23に対応する領域の絶縁体層13を総て除去して、下部電極15が振動用空間20に向けて露出した構造の圧電薄膜共振器も採用することができる。このように、振動部23に対応する領域の絶縁体層13を総て除去することにより、共振周波数の温度特性は若干悪化するものの、音響的品質係数(Q値)が向上するという利点がある。

【0028】

下部電極15は、スパッタ法や蒸着法で形成された金属層、及び必要に応じて該金属層と絶縁体層13との間に形成される密着金属層を積層することにより構

成され、その厚さは、例えば50～500nmである。材質として特に限定はないが、金(Au)、白金(Pt)、チタン(Ti)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)などが好適に利用される。所定の形状にパターニングする方法としては、ドライエッチングやウエットエッチングなどのフォトリソグラフィ技術や、リフトオフ法を適宜使用することができる。

【0029】

圧電体膜16は、窒化アルミニウム(AlN)、酸化亜鉛(ZnO)、硫化カドミウム(CdS)、チタン酸鉛(PbTiO₃、又はPTと略)、チタン酸ジルコン酸鉛(Pb(Zr, Ti)O₃、又はPZTと略)などが用いられる。特にAlNは、弾性波の伝播速度が速く、高周波帯域で動作する圧電薄膜共振器、圧電薄膜フィルタなどの圧電薄膜デバイス用の圧電体膜として適している。その厚さは、例えば0.5～3.0μmである。所定の形状にパターニングする方法としては、ドライエッチングやウエットエッチングなどのフォトリソグラフィ技術を適宜使用することができる。

【0030】

上部電極17は、下部電極15と同様にスパッタ法や蒸着法などにより形成された金属層が使用される。材質としては、金(Au)、白金(Pt)、チタン(Ti)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)などが好適に利用される。上部電極17の厚さは、例えば50～500nmである。所定の形状にパターニングする方法としては、下部電極15と同様にドライエッチングやウエットエッチングなどのフォトリソグラフィ技術や、リフトオフ法が適宜使用される。

【0031】

基板12の振動用空間20の形成方法として、まず第1のビアホール21の形成には基板下面側からの水酸化カリウム(KOH)やTMAH(テトラメチルアンモニウムハイドロオキサイド)などのアルカリ系水溶液を利用した異方性エッチング法や、SF₆ガスを利用したドライエッチング法が適用できる。

【0032】

第2のビアホール22の形成方法としては、第1のビアホール21を形成した

時点で、スプレー式フォトリジスト塗布装置等で第1のビアホール21の底面にあたる中間面25も含めて基板下面全体にフォトリジストを塗布し、さらに振動部に対応した部分をフォトリソグラフィによりレジストを除去し、さらにこのレジストをマスクに、 SF_6 などを用いたドライエッチング法や、 SF_6 と C_4F_8 ガスを交互に用いるDeep RIE法により、振動部23の絶縁層13が露出するまで基板12を中間面25から基板上面に向けてさらにエッチングする。

【0033】

第2のビアホール22の深さ、すなわち基板12の厚さから第1のビアホール21の深さを除いた深さは、例えば $10 \sim 200 \mu\text{m}$ であり、好ましくは $15 \sim 100 \mu\text{m}$ であり、さらに好ましくは $20 \sim 80 \mu\text{m}$ である。第2のビアホール22の深さが大きくなると、基板内での第2のビアホール22の加工精度が低下し、歩留まりが低下する。また、この深さが小さくなると、振動部23の強度が低下し、特にダイシング工程などの製造工程の途中で破損する確率が著しく増加する。

【0034】

以上のように、振動用空間となるビア形成を行う工程を2段階に分けることにより、基板の厚さ全体を、一つの工程でドライエッチング法やDeep RIE法を用いて一気にビア形成を行うのに比べ、基板内のエッチング速度差による加工ムラの低減や加工形状の安定性が著しく向上し、基板上の位置によらず特性の安定した圧電薄膜共振器が製造可能となる。

【0035】

図3は本発明による圧電薄膜デバイス（圧電薄膜フィルタ11）の実施形態を示す模式的平面図であり、図4はそのX-X断面図である。これらの図においては、上記図1および図2における部材と同様の機能を有する部材には同一の符号が付されている。

【0036】

本実施態様では、隣接した4つの圧電積層構造体に対して共通の第1のビアホール21が形成されており、該ビアホール21の底面である中間面25から各圧電積層構造体の振動部に向けて第2のビアホール22が形成されている。

【0037】

図5は本発明による圧電薄膜デバイス（圧電薄膜フィルタ11）のさらに別の実施形態を示す模式的平面図であり、図6はそのX-X断面図である。これらの図においては、上記図1～図4における部材と同様の機能を有する部材には同一の符号が付されている。

【0038】

本実施形態は、基板12として、SOI（Silicon on Insulator）ウエハを用いている。SOIウエハは、酸化されていないウエハ（ベースウエハ）と必要な酸化膜を有したウエハ（ボンドウエハ）を貼り合せ、ボンドウエハ側を研削・研磨することにより、基板の厚み方向の任意の位置に酸化層を有したウエハである。シリコン基板のKOH水溶液などを用いたウエットエッチ、SF₆ガスを用いたドライエッチ、さらにはSF₆とC₄F₈ガスを交互に用いるDeep RIE法は、SiとSiO₂のエッチング速度差（選択比）が通常100～400程度と大きい。すなわち、SiO₂はエッチング速度がSiに比べて非常に小さい。よって、第1のビアホール21を形成する際の終点として、SOIウエハの絶縁層（SiO₂）を用いれば、基板内の第1のビアホール21の中間面の位置（深さ）をさらに好適に制御することが可能となる。第2のビアホール22の形成には、適切な振動部を形成するように特定の形状にSOIウエハの絶縁層をフォトリソグラフィによりふっ酸緩衝溶液でエッチング除去し、その絶縁層単独、もしくは絶縁層とフォトレジストをマスクとして、第2のビアホール22をDeep RIE法などで形成することができる。よって、加工精度は基板内で著しく向上し、基板内全域でほぼ均一な特性をもつ圧電薄膜フィルタを製造することが可能となる。

【0039】

【実施例】

以下に実施例および比較例を示し、本発明をさらに詳細に説明する。

【0040】

実施例1

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デ

バイス（圧電薄膜共振器）を作製した。

【0041】

すなわち、厚さ $200\mu\text{m}$ の 4 インチ (100) Si ウエハの両面に熱酸化法により、厚さ $0.3\mu\text{m}$ の SiO_2 層を形成した後、Si ウエハ上面にフォトリソを塗布し、図 1 に示すごとく下部電極用のレジストパターン形成を行った。この Si ウエハの上面側に、DC マグネトロンスパッタ法により、ガス圧 0.5Pa 、基板温度 150°C の条件で、 $0.23\mu\text{m}$ の Mo 層を形成した後、レジスト剥離液中で超音波洗浄を行うことにより下部電極を所望の形状にパターン化した。次に、このウエハの上面に、純度 99.999% の Al ターゲットを用い、反応性マグネトロンスパッタ法により、全ガス圧 0.5Pa 、ガス組成 $\text{Ar}/\text{N}_2 = 1/1$ 、基板温度 300°C の条件で、厚さ $1.40\mu\text{m}$ の AlN 圧電体膜を形成した。次に、熱燐酸を使用したウエットエッチングにより、AlN 圧電体膜を図 1 に示す所定の形状にパターン化した。続いて、フォトリソを塗布し、上部電極用のフォトマスクを用い、所定の形状にレジストをパターン化した後、DC マグネトロンスパッタ法により、厚さ $0.17\mu\text{m}$ の Mo 層を形成した。さらに、レジスト剥離液中で超音波洗浄を行うことにより、上部電極を図 1 に示すごとく形状にパターン化した。

【0042】

以上の方法により Si ウエハ上面に複数の圧電積層構造体を作製した Si ウエハの下面側に、フォトリソを塗布し、第 1 のビアホール用のフォトマスクを用いてパターン化し、ふっ酸緩衝溶液を用いて下面側の熱酸化膜の一部を除去した。続いて、この熱酸化膜をマスクとして、KOH 水溶液中でウエットエッチすることにより、基板厚みの 75% の $150\mu\text{m}$ の深さまでエッチングを行った。続いて、スプレー式のフォトリソ塗布装置を用いて、第 1 のビアホールの中間面 25 も含めて基板の下面全体にフォトリソを塗布した。さらに、圧電積層構造体の振動部の形状に等しいフォトマスクを用いて、フォトリソをパターン化し、これをマスクとして Deep RIE 装置により上面に形成した熱酸化膜が露出するまでエッチングを行い、側壁を垂直に立てた形状の第 2 のビアホールを形成することにより、振動用空間を作製した。以上の製造工程により、4 イ

ンチ Si 基板全面に圧電薄膜共振器を形成した。

【0043】

4 インチ Si ウエハ内に形成した圧電薄膜共振器の共振周波数をネットワークアナライザを用いて評価した。共振器の I/O 端子には GSG マイクロプローバを接触させた。

【0044】

本実施例における基板のサイズ及び厚み、第 1 及び第 2 のビアホールの深さ、また得られた圧電薄膜共振器の破損率、周波数分布、デバイス歩留まりは表 1 に示す通りであり、周波数分布 $\pm 0.1\%$ 以内で破損の無い合格品は 85% であった。

【0045】

【表 1】

	デバイス構造	基板サイズ		ビア深さ (μm)		デバイス サイズ (mm□)	破損率 (%)	周波数分 布 (%)	デバイス 歩留まり (%)
		直径 (inch)	厚み (μm)	第 1 ビア	第 2 ビア				
実施例 1	図 1, 2	4	200	150	50	1.0	0.4	± 0.18	85
実施例 2	図 1, 2	4	200	180	20	1.0	1.0	± 0.11	97
実施例 3	図 1, 2	4	200	100	100	1.0	0.2	± 0.35	58
実施例 4	図 3, 4	6	300	240	60	1.0	0.4	± 0.23	71
実施例 5	図 3, 4	6	300	200	100	1.0	0.2	± 0.42	54
実施例 6	図 5, 6	6	550	500	50	1.0	0.6	± 0.19	80
実施例 7	図 5, 6	6	550	530	20	1.0	1.2	± 0.12	94
比較例 1	図 8, 9	4	200	-	-	1.0	5.0	± 1.00	20
比較例 2	図 10, 11	6	300	-	-	1.0	7.0	± 3.30	5
比較例 3	図 12, 13	4	200	-	-	2.4	12.0	± 0.55	33

【0046】

実施例 2

本実施例では、以下のようにして、図 1、2 に示されている構造の圧電薄膜デバイス（圧電薄膜共振器）を作製した。

【0047】

すなわち、第 1 のビアホール及び第 2 のビアホールの深さをそれぞれ 180μ

m、20 μ mとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

【0048】

本実施例における基板のサイズ及び厚み、第1及び第2のビアホールの深さ、また得られた圧電薄膜共振器の破損率、周波数分布、デバイス歩留まりは表1に示す通りであり、周波数分布 $\pm 0.1\%$ 以内で破損の無い合格品は97%であった。

【0049】

実施例3

本実施例では、以下のようにして、図1、2に示されている構造の圧電薄膜デバイス（圧電薄膜共振器）を作製した。

【0050】

すなわち、第1のビアホール及び第2のビアホールの深さをそれぞれ100 μ m、100 μ mとした以外は実施例1に示す方法と同様な方法で図1、2に示す圧電薄膜共振器を作製した。

【0051】

本実施例における基板のサイズ及び厚み、第1及び第2のビアホールの深さ、また得られた圧電薄膜共振器の破損率、周波数分布、デバイス歩留まりは表1に示す通りであり、周波数分布 $\pm 0.1\%$ 以内で破損の無い合格品は58%であった。

【0052】

実施例4

本実施例では、以下のようにして、図3、4に示されている構造の圧電薄膜デバイス（圧電薄膜フィルタ）を作製した。

【0053】

すなわち、厚さ300 μ mの6インチ（100）Siウエハを用い、第1のビアホール及び第2のビアホールの深さをそれぞれ240 μ m、60 μ mとした以外は実施例1に示す方法と同様な方法で図3、4に示す圧電薄膜フィルタを作製した。

【0054】

本実施例における基板のサイズ及び厚み、第1及び第2のビアホールの深さ、また得られた圧電薄膜フィルタの破損率、周波数分布、デバイス歩留まりは表1に示す通りであり、周波数分布 $\pm 0.1\%$ 以内で破損の無い合格品は71%であった。

【0055】

実施例5

本実施例では、以下のようにして、図3、4に示されている構造の圧電薄膜デバイス（圧電薄膜フィルタ）を作製した。

【0056】

すなわち、第1のビアホール及び第2のビアホールの深さをそれぞれ $200\mu\text{m}$ 、 $100\mu\text{m}$ とした以外は実施例4に示す方法と同様な方法で図3、4に示す圧電薄膜フィルタを作製した。

【0057】

本実施例における基板のサイズ及び厚み、第1及び第2のビアホールの深さ、また得られた圧電薄膜フィルタの破損率、周波数分布、デバイス歩留まりは表1に示す通りであり、周波数分布 $\pm 0.1\%$ 以内で破損の無い合格品は54%であった。

【0058】

実施例6

本実施例では、以下のようにして、図5、6に示されている構造の圧電薄膜デバイス（圧電薄膜フィルタ）を作製した。

【0059】

すなわち、熱酸化法により、厚さ $550\mu\text{m}$ の6インチSOIウエハ（活性層厚み $50\mu\text{m}$ 、絶縁層厚み $0.5\mu\text{m}$ ）の両面に厚さ $0.5\mu\text{m}$ の SiO_2 層を形成した後、上面側にフォトリソを塗布し、図5、6に示すごとき下部電極用のパターン形成を行った。このSiウエハの上面に、DCマグネトロンスパッタ法により、ガス圧 0.5Pa 、基板温度 150°C の条件で、 $0.23\mu\text{m}$ のMo層を形成した後、レジスト剥離液中で超音波洗浄を行うことにより下部電極を

所望の形状にパターン化した。次に、このウエハの上面に、純度 99.999% の Al ターゲットを用い、反応性マグネトロンスパッタ法により、全ガス圧 0.5 Pa、ガス組成 Ar/N₂ = 1/1、基板温度 300℃ の条件で、厚さ 1.40 μm の AlN 圧電体膜を形成した。次に、熱燐酸を使用したウエットエッチングにより、AlN 圧電体膜を図 5、6 に示す所定の形状にパターン化した。続いて、フォトリソistを塗布し、上部電極用のフォトマスクを用い、所定の形状にレジストをパターン化した後、DC マグネトロンスパッタ法により、厚さ 0.17 μm の Mo 層を形成した。さらに、レジスト剥離液中で超音波洗浄を行うことにより、上部電極を図 5 に示すごとき形状にパターン化した。

【0060】

以上の方法により、上面に複数の圧電積層構造体を作製した Si ウエハの下面側に、フォトリソistを塗布し、第 1 のビアホールのフォトマスクを用いてパターン化し、ふっ酸緩衝溶液を用いて下面側の熱酸化膜の一部を除去した。続いて、この熱酸化膜をマスクとして、KOH 水溶液中でウエットエッチすることにより、SOI ウエハの絶縁層までエッチングを行った。続いて、スプレー式のフォトリソist塗布装置を用いて、第 1 のビアホールの間面も含めて基板の下面全体にフォトリソistを塗布し、圧電積層構造体の振動部の形状に等しいフォトマスクを用いて、フォトリソistをパターン化した。続いて、ふっ酸緩衝溶液を用いて SOI ウエハの絶縁層の一部を除去し、このフォトリソistと絶縁層をマスクとして Deep RIE 装置により上面に形成した熱酸化膜が露出するまでエッチングを行うことにより、振動用空間を作製した。以上の製造工程により、6 インチ SOI 基板全面に圧電薄膜フィルタを形成した。

【0061】

6 インチ SOI 基板内に形成した圧電薄膜フィルタの中心周波数をネットワークアナライザを用いて評価した。共振器の I/O 端子には GSG マイクロプローバを接触させた。

【0062】

本実施例における基板のサイズ及び厚み、第 1 及び第 2 のビアホールの深さ、また得られた圧電薄膜フィルタの破損率、周波数分布、デバイス歩留まりは表 1

に示す通りであり、周波数分布 $\pm 0.1\%$ 以内で破損の無い合格品は 80% であった。

【0063】

本発明では、第1のビアホールを複数の圧電積層構造体の振動用空間を共有するように形成しているため、厚みの大きい基板を使用しても、隣接する圧電積層構造体の距離は、第2のビアホールの間隔で調整でき、近接させることができるため、基板を有効に活用することが出来るとともに、配線等を短くできるため、信号の損失の少ない優れたフィルタ等を提供することができる。

【0064】

実施例7

本実施例では、以下のようにして、図5、6に示されている構造の圧電薄膜デバイス（圧電薄膜フィルタ）を作製した。

【0065】

すなわち、活性層厚み $20\mu\text{m}$ 、絶縁層厚み $0.5\mu\text{m}$ のSOIウエハを用いた以外は実施例6に示す方法と同様な方法で図5、6に示す圧電薄膜フィルタを作製した。

【0066】

本実施例における基板のサイズ及び厚み、第1及び第2のビアホールの深さ、また得られた圧電薄膜フィルタの破損率、周波数分布、デバイス歩留まりは表1に示す通りであり、周波数分布 $\pm 0.1\%$ 以内で破損の無い合格品は 94% であった。

【0067】

さらに、上記の工程によって製造された基板を 1mm □弱の形状にダイシングソーを用いて切断して所望のチップを得てデバイスを作製した。デバイス化のためにはチップ形状のままでは取り扱いに問題があり、セラミックパッケージ等に内装する必要がある。一般的なセラミックパッケージは複数の入力／出力パッドを持つチップからワイヤボンドで接続するものであるが、ここではデバイス寸法を小さくするためにフリップ・チップ・ボンディング技術を利用する方法を用いている。図7には、マイクロ波パッケージにフリップ・チップで実装されたデバ

イス 30 が示されている。デバイスのボンディングパッドは Au バンプや半田バンプの接合を介してセラミックスなどのマイクロ波パッケージ 31 内に配置された信号経路 35 にとりつけられている。信号経路 35 はセラミック基板 32 内を通りパッケージの外にある端子に繋がっている。チップ形状が 1 mm□ の場合、ワイヤボンドで接続する方法ではデバイス寸法は 3 mm□ となってしまうが、フィリップ・チップ・ボンドでは 2.3 mm□ 程度に小型化できる。

【0068】

比較例 1

本比較例では、以下のようにして、図 8、9 に示されている構造の圧電薄膜共振器を作製した。

【0069】

すなわち、基板上面側の加工は実施例 1 記載の方法と同様な方法を用いて圧電積層構造体の作製を行った。

【0070】

次に、Si ウエハの下面側に、フォトリジストを塗布し、実施例 1 に示す第 2 のビアホールのフォトマスクを用いてパターン化し、ふっ酸緩衝溶液を用いて下面側の熱酸化膜の一部を除去した。続いて、この熱酸化膜とフォトリジストをマスクとして、Deep RIE 装置により上面に形成した熱酸化膜が露出するまでエッチングを行い、側壁を垂直に立てた形状のビアホールを形成することにより、振動用空間を作製した。以上の製造工程により、4 インチ Si 基板全面に圧電薄膜共振器を形成した。

【0071】

4 インチ Si ウエハ内に形成した圧電薄膜共振器の共振周波数をネットワークアナライザを用いて評価した。共振器の I/O 端子には GSG マイクロプローバを接触させた。

【0072】

本比較例における基板のサイズ及び厚み、また得られた圧電薄膜共振器の破損率、周波数分布、デバイス歩留まりは表 1 に示す通りであり、周波数分布 ± 0.1 % 以内で破損の無い合格品は 20 % であった。

【0073】

比較例 2

本比較例では、以下のようにして、図10、11に示されている構造の圧電薄膜フィルタを作製した。

【0074】

すなわち、基板上面側の加工は実施例4記載の方法と同様な方法を用いて圧電積層構造体の作製を行った。

【0075】

次に、Siウエハの下面側に、フォトレジストを塗布し、実施例4に示す第2のビアホール用のフォトリソマスクを用いてパターン化し、フッ酸緩衝溶液を用いて下面側の熱酸化膜の一部を除去した。続いて、この熱酸化膜とフォトレジストをマスクとして、Deep RIE装置により上面に形成した熱酸化膜が露出するまでエッチングを行い、側壁を垂直に立てた形状のビアホールを形成することにより、振動用空間を作製した。以上の製造工程により、6インチSi基板全面に圧電薄膜フィルタを形成した。

【0076】

6インチSiウエハ内に形成した圧電薄膜共振器の共振周波数をネットワークアナライザを用いて評価した。共振器のI/O端子にはGSGマイクロプローバを接触させた。

【0077】

本比較例における基板のサイズ及び厚み、また得られた圧電薄膜フィルタの破損率、周波数分布、デバイス歩留まりは表1に示す通りであり、周波数分布 $\pm 0.1\%$ 以内で破損の無い合格品は5%であった。

【0078】

比較例 3

本比較例では、以下のようにして、図12、13に示されている構造の圧電薄膜共振器を作製した。

【0079】

すなわち、基板上面側の加工は使用するフォトリソマスクが異なる以外は実施例1

記載の方法と同様な方法を用いて圧電積層構造体の作製を行った。

【0080】

次に、Siウエハの下面側に、フォトレジストを塗布し、ウェットエッチ用ビアホール用のフォトマスクを用いてパターン化し、ふっ酸緩衝溶液を用いて下面側の熱酸化膜の一部を除去した。続いて、この熱酸化膜をマスクとして、KOH水溶液中で基板上面に形成した熱酸化膜が露出するまで異方性エッチングを行いビアホールを形成することにより、振動用空間を作製した。以上の製造工程により、4インチSi基板全面に圧電薄膜共振器を形成した。

【0081】

4インチSiウエハ内に形成した圧電薄膜共振器の共振周波数をネットワークアナライザを用いて評価した。共振器のI/O端子にはGSGマイクロプローバを接触させた。

【0082】

本比較例における基板のサイズ及び厚み、また得られた圧電薄膜共振器の破損率、周波数分布、デバイス歩留まりは表1に示す通りであり、周波数分布 $\pm 0.1\%$ 以内で破損の無い合格品は33%であった。

【0083】

また、本比較例記載の圧電薄膜共振器を複数個組み合わせ、圧電薄膜フィルタを構成したが、隣り合う圧電薄膜共振器を接続する金属電極が長くなることにより、挿入損失が著しく増大し、圧電薄膜フィルタとしての性能を確認することが困難であった。

【0084】

【発明の効果】

以上の結果から、第1のビアホールの中間面から各圧電積層構造体の振動部に第2のビアホールを形成することにより、基板内におけるビア形成時のエッチング速度差の影響の低減や、加工形状の均一化が可能となり、工程が単純で、基板上の位置によらず圧電薄膜デバイスの特性が著しく安定化する。

【図面の簡単な説明】

【図1】 本発明による圧電薄膜デバイス（圧電薄膜共振器）の実施形態を

示す模式的平面図である。

【図 2】 図 1 の X-X 断面図である。

【図 3】 本発明による圧電薄膜デバイス（圧電薄膜フィルタ）の実施形態を示す模式的平面図である。

【図 4】 図 3 の X-X 断面図である。

【図 5】 本発明による圧電薄膜デバイス（圧電薄膜フィルタ）の実施形態を示す模式的平面図である。

【図 6】 図 5 の X-X 断面図である。

【図 7】 マイクロ波パッケージに実装された本発明の圧電薄膜デバイスの一実施形態を示す説明図である。

【図 8】 比較例で示す圧電薄膜デバイス（圧電薄膜共振器）の実施形態を示す模式的平面図である。

【図 9】 図 8 の X-X 断面図である。

【図 10】 比較例で示す圧電薄膜デバイス（圧電薄膜フィルタ）の実施形態を示す模式的平面図である。

【図 11】 図 10 の X-X 断面図である。

【図 12】 比較例で示す圧電薄膜デバイス（圧電薄膜共振器）の実施形態を示す模式的平面図である。

【図 13】 図 12 の X-X 断面図である。

【符号の説明】

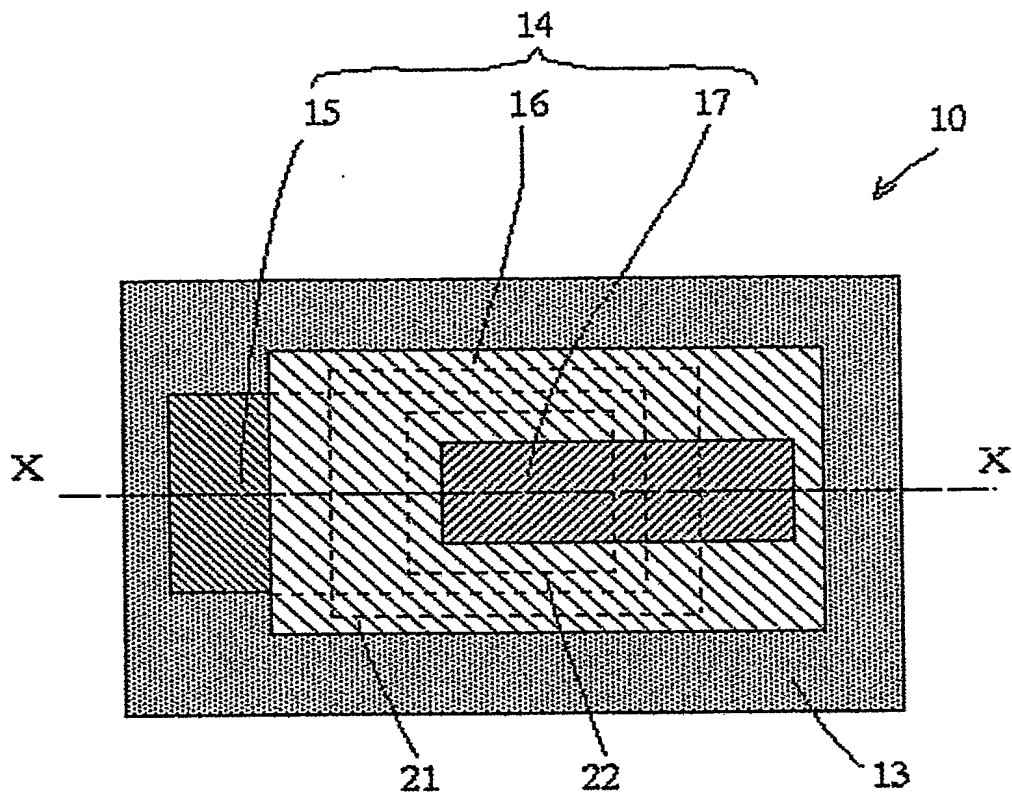
- 10 圧電薄膜共振器
- 11 圧電薄膜フィルタ
- 12 単結晶または多結晶からなる基板
- 13 絶縁層
- 14 圧電積層構造体
- 15 下部電極
- 16 圧電体膜
- 17 上部電極
- 20 振動用空間

- 21 第1のビアホール
- 21 第2のビアホール
- 23 圧電積層構造体の振動部
- 25 基板の中間面
- 30 マイクロ波パッケージに実装された圧電薄膜デバイス
- 31 マイクロ波パッケージ
- 32 パッケージ基板
- 33 キャップ
- 34 バンプ
- 35 信号経路
- 36 端子

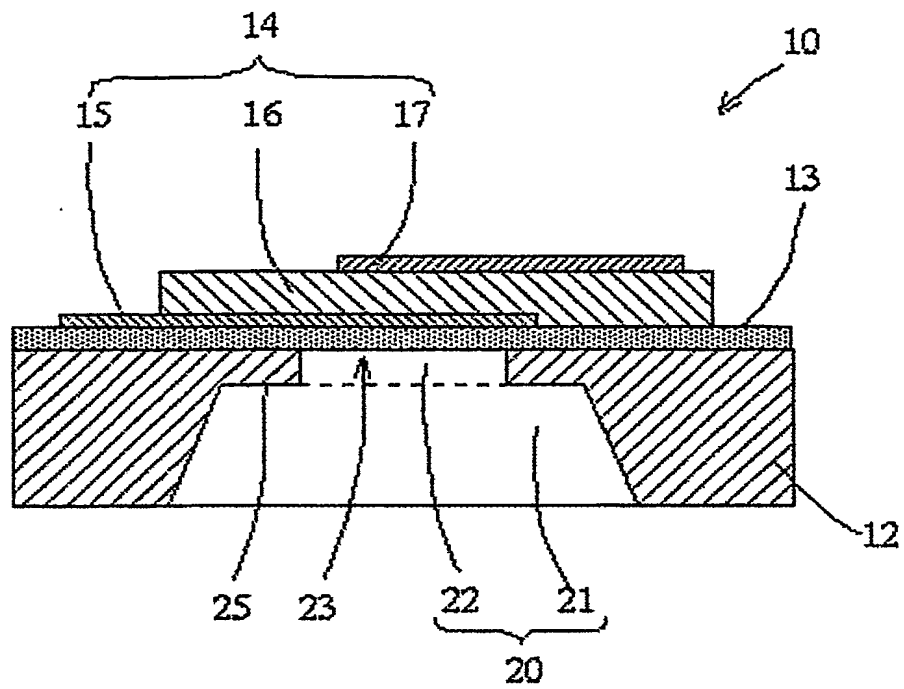
【書類名】

図面

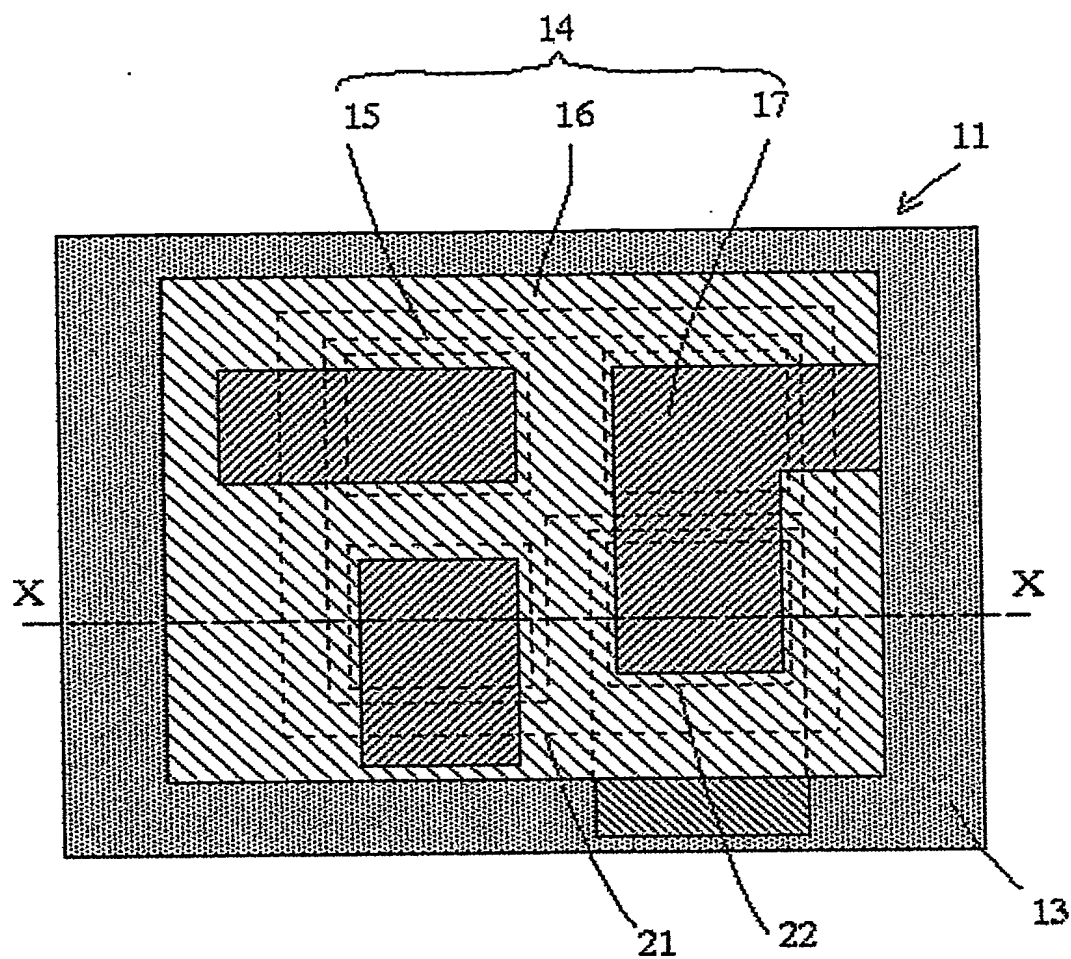
【図 1】



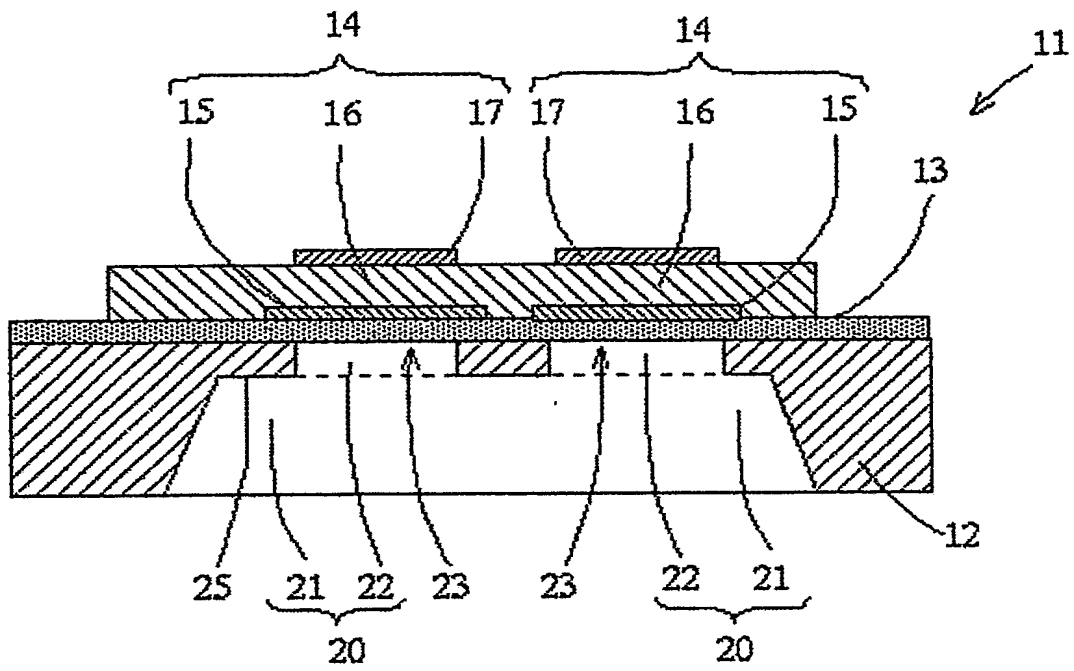
【図 2】



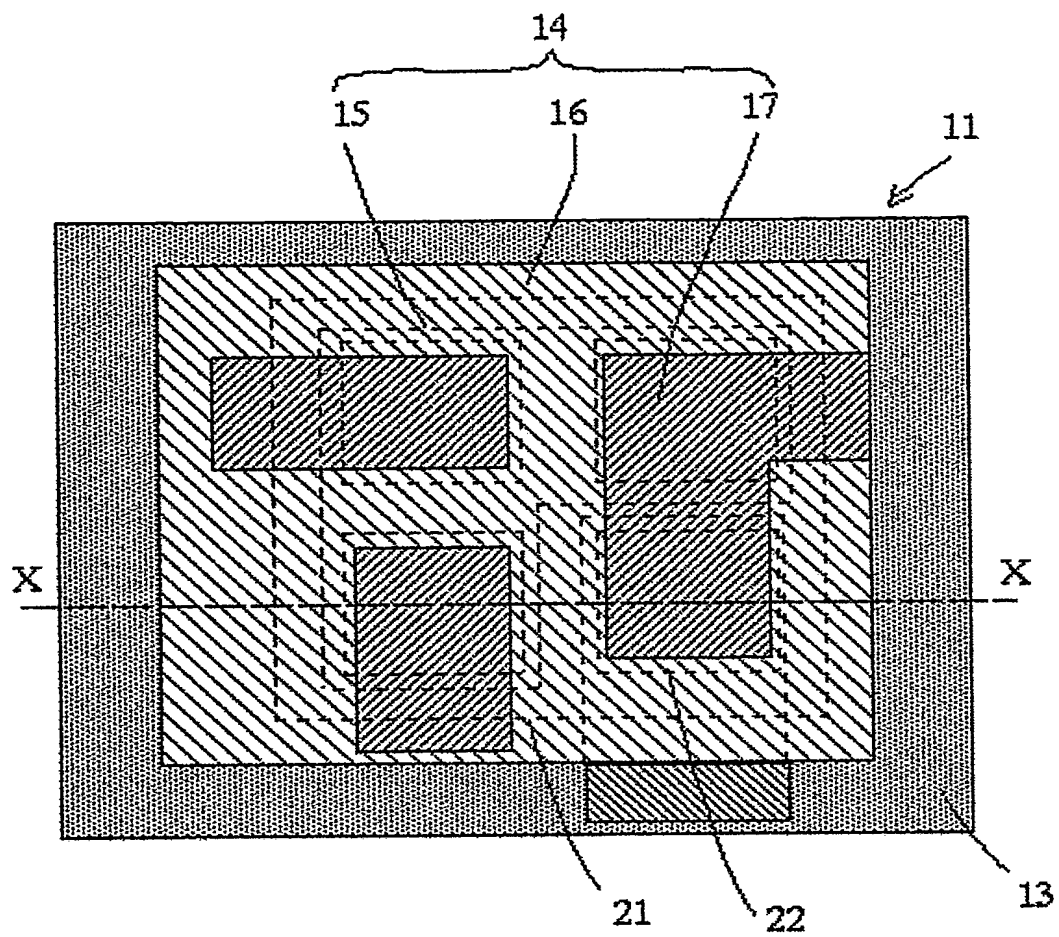
【図3】



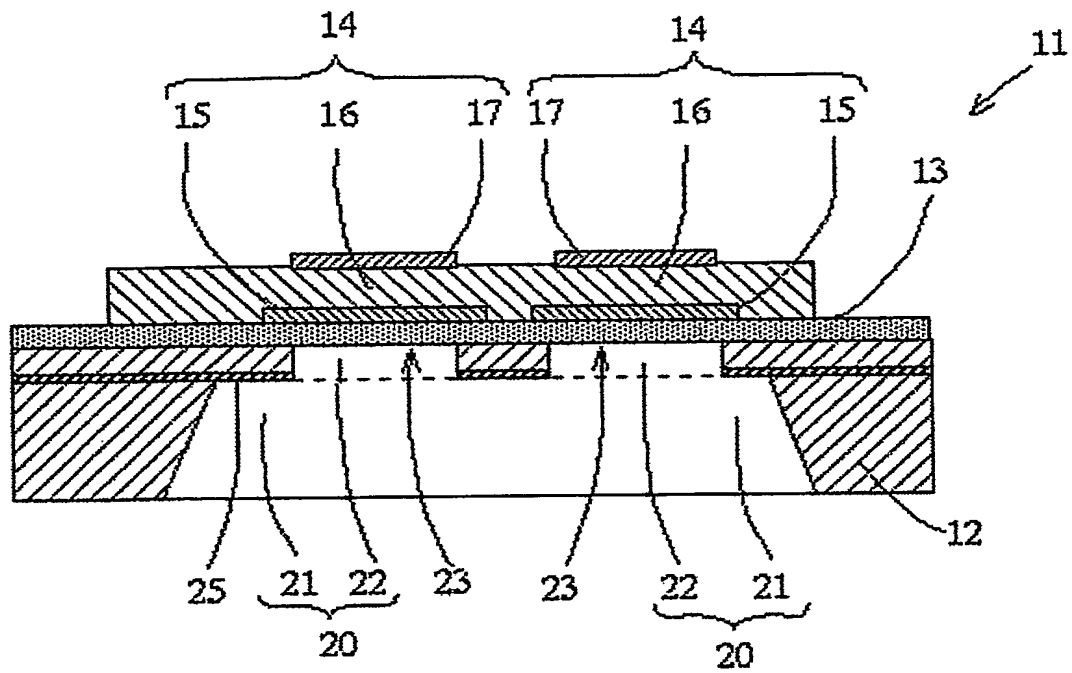
【図 4】



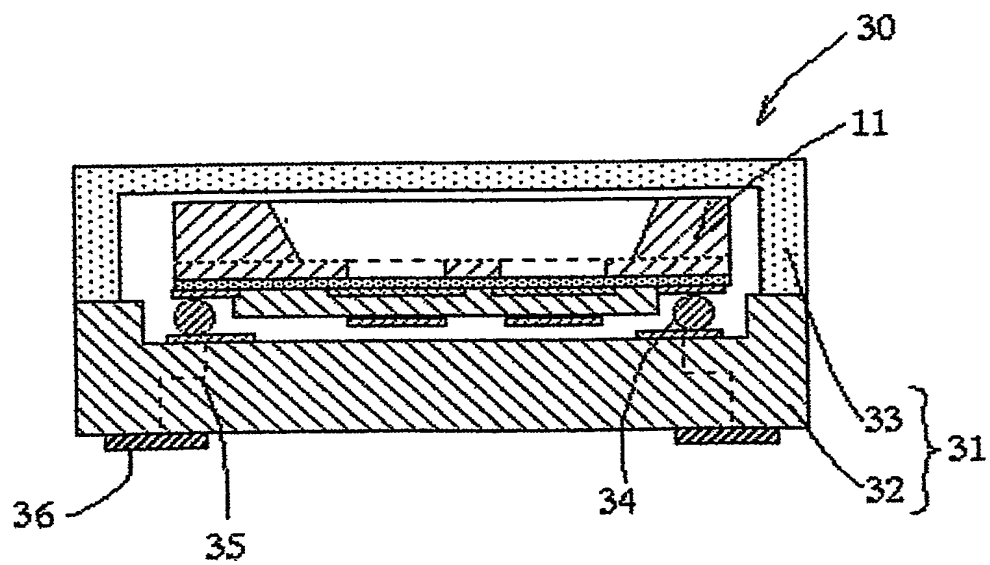
【図 5】



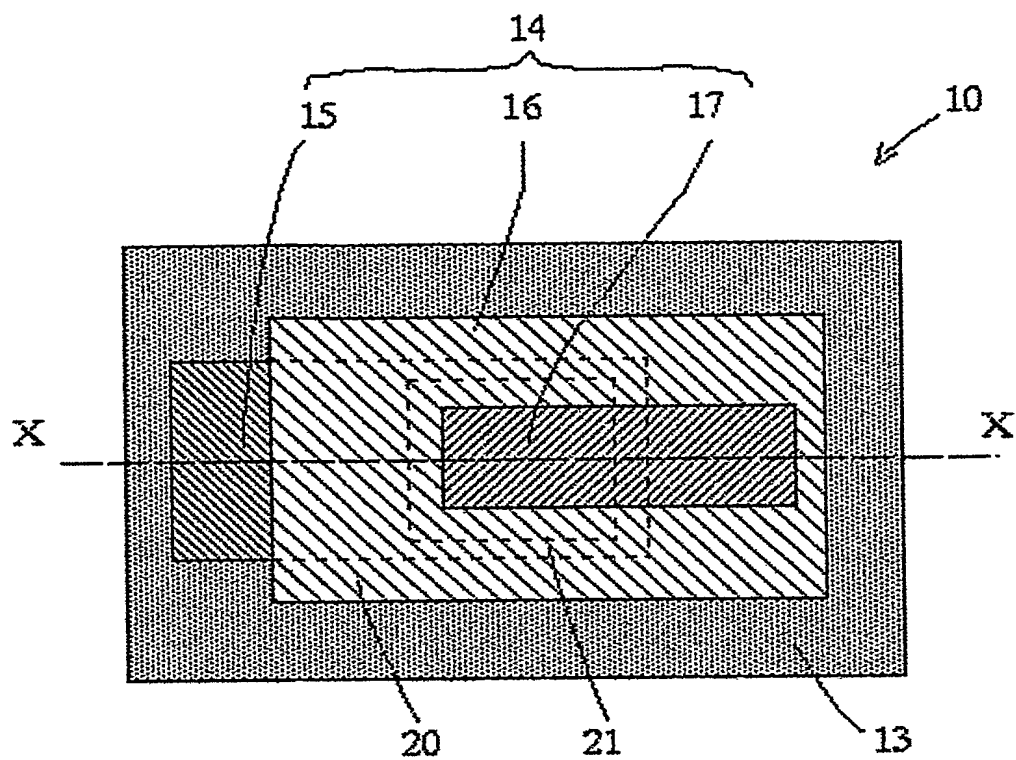
【図 6】



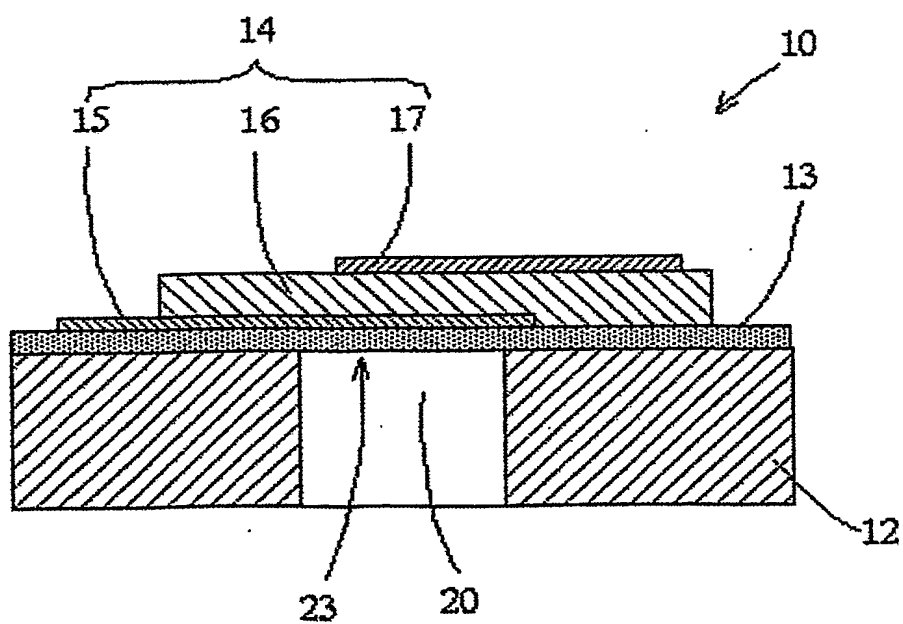
【図 7】



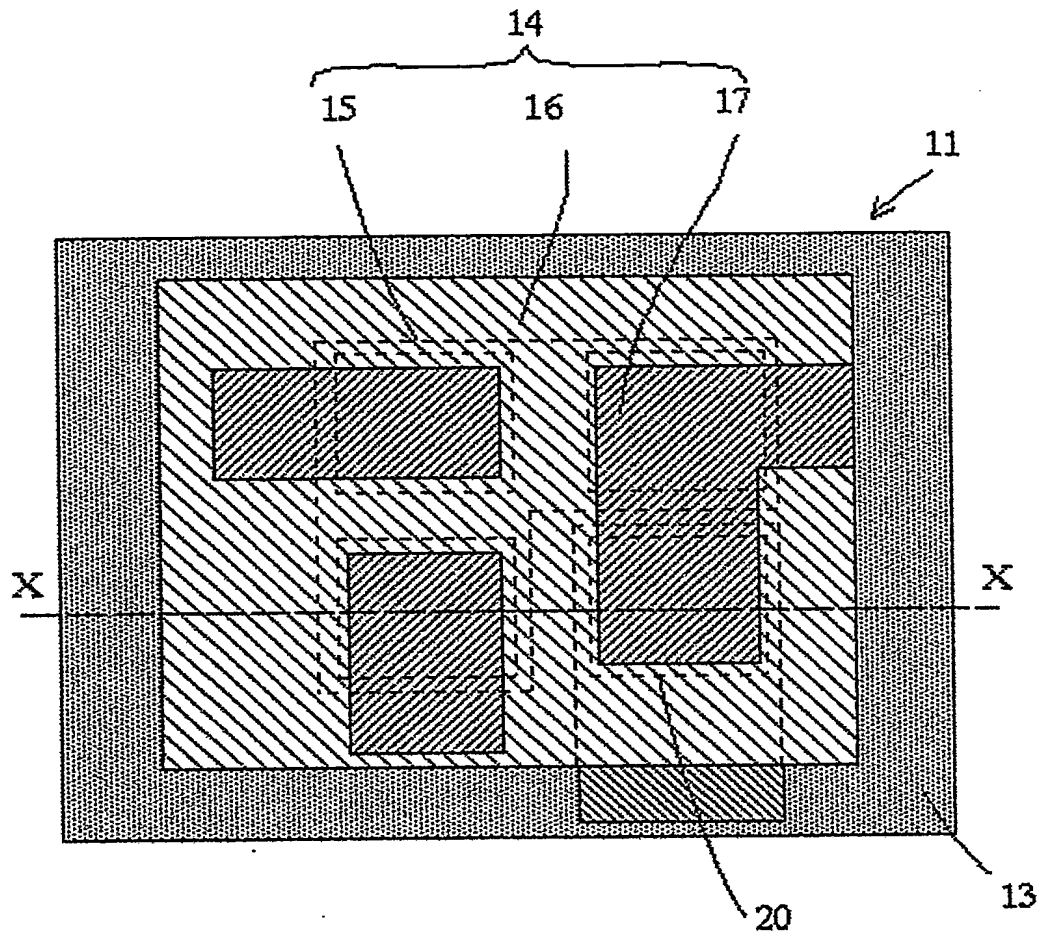
【図 8】



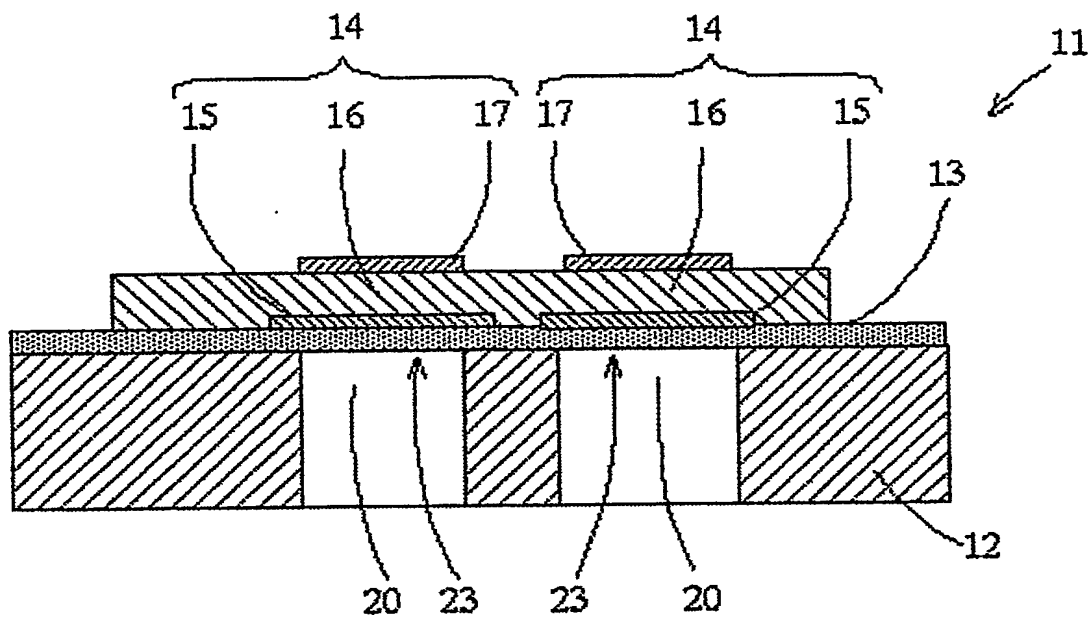
【図 9】



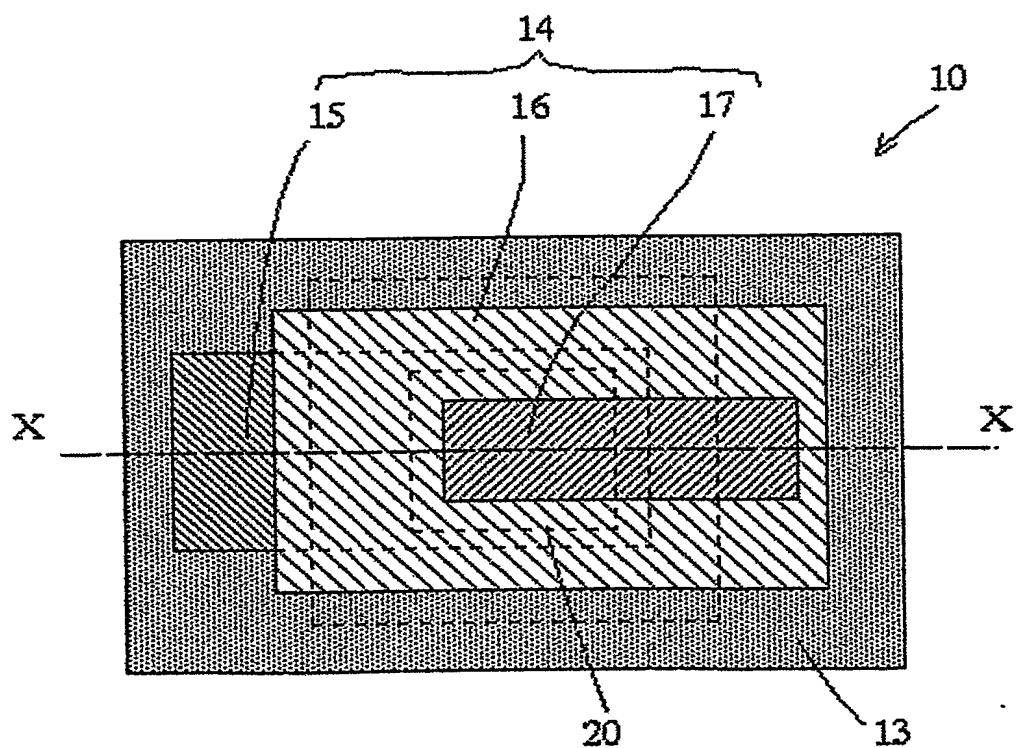
【図 10】



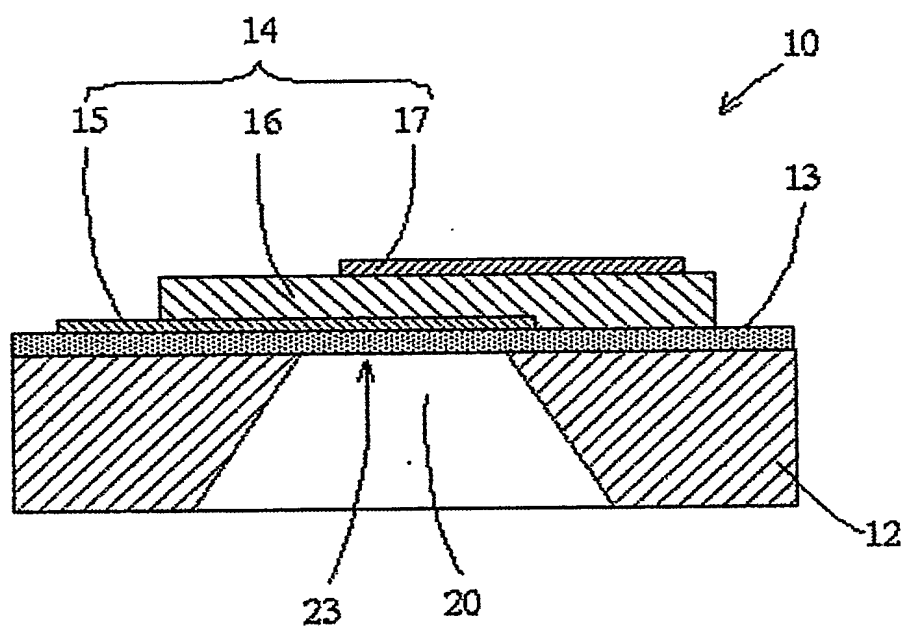
【図11】



【図12】



【図 13】



【書類名】 要約書

【要約】

【課題】 工程が単純で、基板上の位置によらず、圧電薄膜積層体の下方に良好に振動用空間を形成することができる圧電薄膜デバイスの製造方法、及びこの方法により製造された圧電薄膜デバイスを提供する。

【解決手段】 振動用空間を有する基板と、該基板上面に形成された圧電積層構造体とを有しており、該圧電積層構造体は、圧電体膜とその両面にそれぞれ形成された電極とを含み、前記振動用空間は前記圧電積層構造体の振動を許容するように形成されている圧電薄膜デバイスの製造方法であり、前記振動用空間が、前記基板内に中間面を形成するように基板下面から第 1 のビアホールを形成する工程と、前記中間面から前記基板の上面に向けてさらに第 2 のビアホールを形成する工程とにより形成されることを特徴とする。

【選択図】

図 4

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 9 4 3 7 2
受付番号	5 0 3 0 0 5 2 8 9 6 6
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 4 月 1 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月31日
-------	-------------

次頁無

【書類名】 手続補正書
【整理番号】 MIP0336KN1
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2003- 94372
【補正をする者】
 【識別番号】 000000206
 【氏名又は名称】 宇部興産株式会社
 【代表者】 常見 和正

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 山口県宇部市大字小串 1978 番地の 5 宇部興産株式会社 宇部研究所内

【氏名】 長尾 圭吾

【発明者】

【住所又は居所】 山口県宇部市大字小串 1978 番地の 5 宇部興産株式会社 宇部研究所内

【氏名】 西村 浩介

【発明者】

【住所又は居所】 山口県宇部市大字小串 1978 番地の 5 宇部興産株式会社 宇部研究所内

【氏名】 山田 哲夫

【発明者】

【住所又は居所】 群馬県高崎市西横手町 1 番地 1 株式会社ルネサス東日本セミコンダクタ 群馬デバイス本部内

【氏名】 大谷 修

【発明者】

【住所又は居所】 群馬県高崎市西横手町 1 番地 1 株式会社ルネサス東日本セミコンダクタ 群馬デバイス本部内

【氏名】 松崎 栄

【その他】 発明者の変更の理由は、本来発明者氏名を長尾圭吾、西村浩介、山田哲夫、大谷修、松崎栄と記載すべきところ誤って長尾圭吾、西村浩介、山田哲夫と記載してしまったことです。

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願2003-094372
受付番号	50301073569
書類名	手続補正書
担当官	伊藤 雅美 2132
作成日	平成15年 8月 6日

<認定情報・付加情報>

【提出日】 平成15年 6月27日

特願 2003-094372

出願人履歴情報

識別番号

[000000206]

1. 変更年月日

2001年 1月 4日

[変更理由]

住所変更

住 所

山口県宇部市大字小串1978番地の96

氏 名

宇部興産株式会社

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**